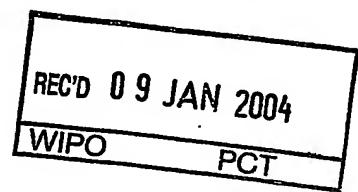


PCT/JP03/16082

16.12.03

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2002年12月17日

出願番号
Application Number: 特願2002-364547
[ST. 10/C]: [JP2002-364547]

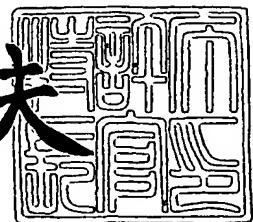
出願人
Applicant(s): 住友化学工業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年11月17日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 155140
【あて先】 特許庁長官殿
【国際特許分類】 H01L 29/73
H01L 21/331

【発明者】

【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内
【氏名】 井上 聰

【発明者】

【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内
【氏名】 秦 雅彦

【特許出願人】

【識別番号】 000002093
【氏名又は名称】 住友化学工業株式会社

【代理人】

【識別番号】 100077540

【弁理士】

【氏名又は名称】 高野 昌俊

【手数料の表示】

【予納台帳番号】 060336
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0013944

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子

【特許請求の範囲】

【請求項1】 コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、前記コレクタ層内に、コレクタ電流密度が上昇したときの電子蓄積による電子の障壁をコンダクションバンドに生じさせるための付加層を設けたことを特徴とする半導体材料。

【請求項2】 前記付加層がInGaAs層である請求項1記載の半導体材料。

【請求項3】 前記付加層が、 $1 \times 10^{18} \text{ cm}^{-2}$ 以下のp型ドーパントがドープされた層である請求項1記載の半導体材料。

【請求項4】 コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、前記コレクタ層内に、コレクタ電流密度が上昇したときに前記コレクタ層内に蓄積された電子によるバンドの持ち上がりを維持するために、ホールの拡散を防止するホール障壁層を設けたことを特徴とする半導体材料。

【請求項5】 前記ホール障壁層と前記ベース層との間にp型ドーパントがドープされている層を有する請求項4記載の半導体材料。

【請求項6】 前記半導体材料が化合物半導体基板を用いて作られており、前記コレクタ層の材料がGaAs若しくはInGaAsからなり、前記ホール障壁層の材料がInGaP、InGaAsP、InGaAs、p+ - GaAs、GaAsまたはp+ - InGaAsの内の何れかである請求項4または5記載の半導体材料。

【請求項7】 前記ホール障壁層の材料が、In組成0.6以上のInGaPである請求項4記載の半導体材料。

【請求項8】 前記付加層と前記ベース層との間にホールの拡散を防止するためのホール障壁層が設けられている請求項1記載の半導体材料。

【請求項9】 請求項1から8のいずれか1つに記載の半導体材料を用いて作製した半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、動作電流による熱暴走を抑えることができるようとしたバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子に関するものである。

【0002】

【従来の技術】

一般に、半導体素子においては、半導体素子内で発生する電力の損失の増大とこれにより熱的に励起されて発生する自由電子との相乗相互作用により、熱暴走を生じる傾向を有している。例えば、バイポーラトランジスタを電力增幅用に用いるなどして大きなコレクタ電流が流れると、このトランジスタの大きな動作電流のためにトランジスタが発熱し、それによって電流が流れやすくなり更に電流が流れ更に発熱しという正帰還が働き、トランジスタに許容値以上の電流が流れて焼損するに至る所謂熱暴走を生じる。

【0003】

実際のトランジスタ素子に於いては、素子の不均一性により、素子内的一部分にコレクタ電流の集中が生じ、その集中が生じた部分が素子抵抗により発熱することによって部分的に熱暴走が生じる。したがって、素子全体の電流量が熱暴走を生じさせないような低レベル以下であっても、素子の一部分へ電流が集中することによって素子内に局所的な電流密度増大部分が生じて、その部分に熱暴走が起こり、これによって素子全体が破壊される結果となる。これを避けるためには、電流の集中が起こらないように電流が均一に流れる素子を作ればよいが、このような素子を作るためには、プロセス工程、基板製造工程に対する要求が厳しくなり、コスト及び技術の両面から現実的ではない。

【0004】

そこで、従来の熱暴走対策は、エミッタに抵抗体（バラスト抵抗）を直列に接

続して電流量を制限する方法、あるいは、トランジスタ用半導体薄膜を作製する際にエミッタ層内に高抵抗の層（バラスト層）を挿入するという方法等が採用されている。

【0005】

【発明が解決しようとする課題】

しかし、エミッタへの抵抗の付加による負帰還作用を利用して素子の安定動作を得る上記2つの方法によると、直列接続した抵抗が高周波利得を低減させ、また、低電流動作では単純に抵抗体として作用する等、デバイス特性を悪くさせるという問題点を有している。これらの問題に加えて、外付けのバラスト抵抗をつける方法においては、素子サイズの増加、素子プロセス工程の増加によるスループット減少などの問題を生じることとなる。

【0006】

本発明の目的は、従来技術における上述の問題点を解決することができる、バイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子を提供することにある。

【0007】

本発明の他の目的は、熱暴走を抑制するための作用を与えたバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子を提供することにある。

【0008】

本発明の他の目的は、トランジスタが熱暴走を始める直前のコレクタ電流密度に至った時に、コレクタ層内に電子の障壁を生じせしめ、熱暴走を制御する機能を發揮するという特徴を有するバイポーラトランジスタ構造をもつ半導体材料及びこれを用いた半導体素子を提供することにある。

【0009】

本発明の別の目的は、バイポーラトランジスタの熱暴走の問題を、バラスト抵抗、バラスト層などの採用なしでも抑制することができるようしたバイポーラトランジスタ構造を有する半導体材料及びこれを用いた半導体素子を提供することにある。

【0010】

【課題を解決するための手段】

上記課題を解決するため、本発明では、ベースプッシュアウト効果を有効に活用し、熱暴走の原因となる電子の動きを阻止できるようなバンド構造をバイポーラトランジスタのコレクタ層内に採用することにより、バラスト抵抗等の外付け素子を採用しなくても、バイポーラトランジスタの動作中の電流による発熱による特性変化を抑制し、温度変化に対して安定な性能を持つバイポーラトランジスタを実現できるようにしたものである。

【0011】

すなわち、高コレクタ電流密度による電子速度の飽和によりベースーコレクタ界面近傍のコレクタ部分に溜まった電子が、コレクタのベース側界面のコンダクションバンドを持ち上げて電子障壁を形成する一方、同時にバレンスバンドも持ち上がってホールがベースから流れ込み、流れ込んだホールによってバンドが引き下げられて最終的にはベースと同じ高さに落ち着くという現象、すなわち、ベースプッシュアウト効果を利用したもので、本発明では、電子の蓄積によるバンドの持ち上がり位置を制御し、そして、更にはバンドが持ち上がった後コレクタ電流が低下するまで、その持ち上がりを維持することで熱暴走の原因となるコレクタ電流を制限するようにしたものである。

【0012】

請求項1の発明によれば、コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、前記コレクタ層内に、コレクタ電流密度が上昇したときの電子蓄積による電子の障壁をコンダクションバンドに生じさせるための付加層を設けたことを特徴とする半導体材料が提案される。

【0013】

請求項2の発明によれば、請求項1の発明において、前記付加層がInGaAs層である半導体材料が提案される。

【0014】

請求項3の発明によれば、請求項1の発明において、前記付加層が、 1×10

18 cm⁻²以下のp型ドーパントがドープされた層である半導体材料が提案される。

【0015】

請求項4の発明によれば、コレクタ層、ベース層及びエミッタ層を有するバイポーラトランジスタ構造を備えた半導体材料において、前記コレクタ層内に、コレクタ電流密度が上昇したときに前記コレクタ層内に蓄積された電子によるバンドの持ち上がりを維持するために、ホールの拡散を防止するホール障壁層を設けたことを特徴とする半導体材料が提案される。

【0016】

請求項5の発明によれば、請求項4の発明において、前記ホール障壁層と前記ベース層との間にp型ドーパントがドープされている層を有する半導体材料が提案される。

【0017】

請求項6の発明によれば、請求項4または5の発明において、前記半導体材料が化合物半導体基板を用いて作られており、前記コレクタ層の材料がGaAs若しくはInGaAsからなり、前記ホール障壁層の材料がInGaP、InGaAsP、InGaAs、p⁺-GaAs、GaAsまたはp⁺-InGaAsの内の何れかである半導体材料が提案される。

【0018】

請求項7の発明によれば、請求項4の発明において、前記ホール障壁層の材料が、In組成0.6以上のInGaPである半導体材料が提案される。

【0019】

請求項8の発明によれば、請求項1の発明において、前記付加層と前記ベース層との間にホールの拡散を防止するためのホール障壁層が設けられている半導体材料が提案される。

【0020】

請求項9の発明によれば、請求項1から8のいずれか1つに記載の半導体材料を用いて作製した半導体素子が提案される。

【0021】

【発明の実態の形態】

以下、図面を参照して本発明の実施の形態の一例につき詳細に説明する。

【0022】

図1は、本発明による半導体材料の実施の形態の一例を示す層構造図である。図1に示す半導体材料は、本実施の形態では、ヘテロ接合バイポーラトランジスタ（HBT）を作製するためのエピタキシャル基板10であり、半絶縁性GaAs基板1の上にはコレクタ層2、ベース層3、エミッタ層4がこの順で形成されている。

【0023】

コレクタ層2は、半絶縁性GaAs基板1側から、キャリア濃度が通常 10^{18} ～ 10^{19} cm^{-3} 程度のn⁺-GaAs層2A、i-GaAs層2B、及びコレクタ層2における電子の蓄積に依るバンドの持ち上がりを促進するように電子蓄積を生じさせるための付加層2Cが積層されて成っている。ベース層3は、キャリア濃度が通常 10^{19} ～ 10^{20} cm^{-3} 程度のp⁺-GaAs層として形成されている。エミッタ層4は、ベース層3の上に、キャリア濃度が通常 5×10^{16} ～ 10^{18} cm^{-3} 程度のn-InGaP層4A、キャリア濃度が通常 5×10^{16} ～ 10^{18} cm^{-3} 程度のn-GaAs層4B、キャリア濃度が通常 10^{18} ～ 10^{19} cm^{-3} 程度のn⁺-GaAs層4Cがこの順序で順次形成されて成っている。

【0024】

コレクタ層2内に設けられている付加層2Cは、コレクタ電流が増大するなどして、コレクタ電流密度が高まって電子の速度が飽和したときに、コレクタ層2とベース層3との間の界面近くにおいて電子の蓄積を促進させるために設けられている。付加層2C設けてコレクタ層2とベース層3との間の界面近くにおいて電子を蓄積させることの作用について図2を参照して説明する。

【0025】

図2は、横軸を層厚方向にとって示すエネルギー-band図である。図2は、電子の蓄積により、コレクタ層2内であってベース層3の近傍にコンダクションバンドの持ち上がりXが生じて電子の障壁が形成されている状態が示されている。付加層2Cはコンダクションバンドのこの持ち上がりXの位置を制御するための

もので、付加層2Cのコレクタ層2内の位置及びその膜厚を適宜に定めることにより所要の電子障壁をベース層3とコレクタ層2との間の界面近くのコレクタ層2内に形成することができる。

【0026】

このようにして形成される電子の障壁は、コレクタ電流密度が大きくなつて電子が該界面近くに溜まることにより生じるものであるから、バンドが持ち上がりつた後、コレクタ電流密度が小さくなれば持ち上がりXはこれにより解消される。

【0027】

以上の説明から判るように、コレクタ層2内に付加層2Cを設け、これによりコレクタ電流密度が高くなつた場合に電子の障壁が形成され、コレクタ電流を流れにくくするので、熱暴走によりコレクタ電流が異常に高くなるのを有効に防止することができる。そして、コレクタ電流密度が低下すると、これにより電子の障壁は小さくなるので、コレクタ電流密度が所定レベル以下になれば、電子の障壁はなくなり、コレクタ電流を良好に流すことができる。すなわち、コレクタ電流が大きくなるなどして熱暴走が生じうるような状態になったときにのみ、コレクタ電流密度の上昇に応答してコレクタ電流の流れを抑え、半導体素子が熱暴走に至るのを有効に阻止することができる構成となっている。

【0028】

図1に示した実施の形態では、付加層2Cとして、キャリア濃度が通常 10^{16} ～ 10^{18} cm^{-3} 程度のp-GaAs層を、ベース層3に接するようにして、約50mmの膜厚に形成した構成となっている。付加層2Cとしてp型の材料であるp-GaAsを用いると、コンダクションバンドの持ち上がりがすでに出来ているので、コレクタ電流密度が高レベルとなったときに所要の電子の障壁をいち早く立ち上げることができるという利点がある。

【0029】

以上、本発明の一実施形態について説明したが、本発明はこの一実施形態に限定されるものではない。コレクタ層2内における電子の蓄積の促進のためには、コレクタ層2のベース層3側の領域にp型ドーパントをドープしてp-GaAs層とするという上述の構成のほか、コレクタ層2内であって、コレクタ層2とベ

ース層3との界面から10~100nm程度はなれた部分にInGaAs層を設ける構成とすることもできる。InGaAsのコンダクションバンドエネルギーはGaAsのそれよりも低いため、InGaAs層を用いる場合には、電子がより溜まり易くバンドの持ち上がりが生じやすくなるという利点がある。

【0030】

図7にInGaAs層を用いた場合における計算機シミュレーションの結果を示す。計算ではコレクタの膜厚を800nmとし、InGaAs層の厚さを15nmとした。図7は上記条件の下において、InGaAs層をベースエミッタ界面から10nm~700nmまで変化させた場合の、增幅率(I_c/I_b)とコレクタ電流(I_c)との関係を示したものである。ここで、図7中に示されている10本の特性線は、その右横に示されているInGaAs層のベースエミッタ界面からの距離に順次応じたもので、Originalと表記した標準品(一番上の特性線)と比べると、InGaAsの位置がベースーコレクタ界面から700nm離れている時(上から2番目の特性線)でも低い I_c で増幅率が低下し、熱暴走抑制の効果が得られていることがわかる。したがって、InGaAs層においてはコレクタ層のどの部分に付加層が有っても期待される効果が得られることが判る。界面からの距離によって効果の大きさが変わるために、暴走抑制効果の強弱の調整は、付加層の位置に依っても行うことができる。

【0031】

付加層の効果は付加層の厚さによって強弱が変わると予想される。然しながら、膜厚によって効果が得られなくなることはない。暴走抑制効果の強弱の調整は、付加層の膜厚に依っても行うことができる。

【0032】

図1に示した実施の形態では、コレクタ層2内に付加層2Cを設けてコレクタ電流の密度が高くなった場合に電子の障壁を積極的に生じさせようとしたものである。これに代えて、コレクタ層2内にホールのバリアを構成することによっても、効果的にコレクタ電流の熱暴走による増大を抑えることができる。

【0033】

図3には、そのような構成を有する本発明の他の実施の形態が示されている。

図3に示した半導体材料もまた、ヘテロ接合バイポーラトランジスタ（HBT）を作製するためのエピタキシャル基板20であり、半絶縁性GaAs基板21の上にはコレクタ層22、ベース層23、エミッタ層24がこの順で形成されている。コレクタ層22は、半絶縁性GaAs基板21側から、キャリア濃度が通常 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度のn⁺-GaAs層22A、i-GaAs層22B、ホールの拡散に対するホール障壁層22C、及びi-GaAs層22Dが積層されて成っている。ベース層23は、キャリア濃度が通常 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ 程度のp⁺-GaAs層として形成されている。エミッタ層24は、ベース層3の上に、キャリア濃度が通常 $5 \times 10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度のn-InGaP層24A、キャリア濃度が通常 $5 \times 10^{16} \sim 10^{18} \text{ cm}^{-3}$ 程度のn-GaAs層24B、キャリア濃度が通常 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 程度のn⁺-GaAs層24Cがこの順序で順次形成されて成っている。

【0034】

ホール障壁層22Cは、ベース層23よりのホールの流れ込みを防止するために設けられたもので、本実施の形態では、ベース層23とコレクタ層22との界面から通常0～1000nm程度、好ましくは0～100nm程度離れたところに通常1～100nm程度の膜厚のInGaP層として形成されており、これによりコレクタ層22内にホールのバリアとなるバリア層として形成されている。また、i-GaAs層22Dは通常1～1000nm程度、好ましくは1～100nm程度の厚さに形成されている。

【0035】

ホール障壁層22Cの材料としては、コンダクションバンドのバリアが小さく、バレンスバンドのバリアが大きいInGaPが好ましく、特にIn組成が0.6以上のものが最も好ましい。しかし、これ以外の材料として、AlGaAs、p⁺-GaAs又はキャリア濃度が 10^{19} cm^{-3} 程度のp⁺-GaAs層を用いることもできる。ホール障壁層22Cを設ける位置は、ベース層23とコレクタ層22との界面から100nm程度離れたところであってもよい。ホール障壁層22Cは前述の付加層と同じ理由によりコレクタ層内に於いてその位置を限定されるものではない。膜厚に於いては、例えばInGaPを用いる場合は、GaA

sとの格子定数の違いによるInGaPの格子緩和、表面欠陥に影響を及ぼさない膜厚にする必要がある。この範囲に於いて膜厚はどのような値であっても本発明の目的とする効果が得られる。

【0036】

また、この場合、コンダクションバンドの障壁を生む効果が期待されれば、ホール障壁層22Cの材料は上記材料以外でも構わない。

【0037】

また、ホール障壁層22Cとベース層23とに挟まれたコレクタ部分にp型ドーパントをドープする構造、すなわち前記付加層が導入された構造であっても良く、この場合は、より優れた効果が得られる。この実施の形態を図4に示す。

【0038】

図4に示されているヘテロ接合バイポーラトランジスタ(HBT)を作製するためのエピタキシャル基板30は、コレクタ層31を、n⁺-GaAs層31A、i-GaAs層31B、ホール障壁層31C、ドープ層31Dの積層構造にした点で図3の実施の形態と異なっているが、その他の構成は図3の実施の形態と同一である。このように、コレクタ層31内に設けられたホール障壁層31Cとベース層23との間の領域をp型ドーパントでドープした構成によると、ドープ層により、より早くバンドの持ち上がりが生じ、バリア層の外側のコレクタ部分の電子蓄積が促進される。持ち上がりが生じた後はバリア層によりホールの侵入が妨げられ、バンドの持ち上がりが維持されることになる。

【0039】

このように、コレクタ層22内にホール障壁層22Cによるホールの障壁(バリア層)があると、ホールの拡散流入によるバンドの持ち上がりが維持される。ホールの障壁をコレクタ層22内に導入する場合、障壁はコレクタ層22内のベース側に挿入するのが好ましい。バンドの持ち上がりが効果的に加わるので、より効果が大きくなるからである。ホールの障壁はベースと離れている必要は無く、ベースに接していても構わない。したがって、例えばホール障壁層22Cの材料としてInGaPを用いた場合、ダブルヘテロ構造のHBTと類似の構造となる。本発明による上述の構成とダブルヘテロ構造との違いはコレクタのInGa

PのIn組成が格子不整合となる組成であること、コレクタ部分にp型ドーパントがドープされていることの2点である。以上記述のいづれの方法によても、本発明の目的であるコレクタ電流過剰になった時のコレクタ電流を抑制する効果が得られ、トランジスタの熱暴走を防止することが出来る。以上の説明に於いてはベース、コレクタがGaAsからなるGaAs基板上のHBTに於いて説明を行なった。しかし、ホールのバリアの効果、電子の蓄積の効果が得られるのであれば特にこれらの材料に限定されるものではない。なお、薄膜の作製はMOCVD装置で行ってもよいが、MBE等他の手法によることもできる。

【0040】

【実施例】

(実施例1)

図1に示す層構造のHBTを下記のようにして製作した。

MOCVD薄膜作成装置に半絶縁性GaAs基板1を導入し、AsH₃ガス及び金属有機化合物を原料として基板1の上にn⁺-GaAs層2A(キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$)、i-GaAs層2Bを形成する。n型のドーパントとしてSiをジシランガスの形で導入しn型のGaAsを形成した。次にi-GaAs層2B層の成長と同じ温度、成長速度にて、p型ドーパントとなるC原料を、ハロゲン化炭素の形で導入し、付加層2Cを形成した。次に該コレクタ層2の上に、ベース層3を形成した。ベース層3はp⁺-GaAs層(キャリア濃度約 $4 \times 10^{19} \text{ cm}^{-3}$)、からなる。p型ドーパントとなるC原料を、ハロゲン化炭素の形で導入した。該ベース層3上に、n-InGaP層4A(キャリア濃度約 $1 \times 10^{17} \text{ m}^{-3}$)、n-GaAs層4B(キャリア濃度約 $1 \times 10^{17} \text{ m}^{-3}$)、n⁺-GaAs層4C(キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$)からなるエミッタ層4を形成した。n型のドーパントはコレクタ層2の場合と同じSiを用いた。InGaPに関しては、Pの原料としてAsH₃の代わりにPH₃をガスとして供給した。

【0041】

図5には、上述した実施例についての、コレクタ電流の温度依存性を示すグラフが示されている。ここで「STANDARD」と表記した特性線は従来のIn

GaP-HBT（比較例）についてのものである。図5に示す特性はエミッターベース電圧1.5Vの時のコレクタ電流の温度変化を示したもので、「STANDARD」と表記した特性線以外の特性線の各場合には、75°Cから100°Cの高温に於けるコレクタ電流の減少が見られ、熱暴走の抑制効果が確認された。また、従来のInGaP-HBTでは高温に於けるコレクタ電流の減少率はいずれの実施例の場合よりも少なく、熱暴走の危険を有することが示されている。

【0042】

(実施例2)

図4に示す層構造のHBTを下記のようにして製作した。

MOCVD薄膜作成装置に半絶縁性GaAs基板21を導入し、AsH₃ガス及び金属有機化合物を原料として半絶縁性GaAs基板21の上にn⁺-GaAs層31A（キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ ）、i-GaAs層31Bを形成する。n型のドーパントとしてSiをジシランガスの形で導入しn型のGaAsを形成した。次にi-GaAs層31B層の成長と同じ温度、成長速度にて、ホール障壁層31CとなるIn組成0.63のInGaPを約5nm成長した。次にドープ層31Dとしてp型ドーパントとなるC原料を、ハロゲン化炭素の形で導入してGaAs層を約50nm成長した。次に該ドープ層31Dの上に、ベース層23を形成する。ベース層23はp⁺-GaAs層（キャリア濃度約 $4 \times 10^{19} \text{ cm}^{-3}$ ）からなる。p型ドーパントとなるC原料を、ハロゲン化炭素の形で導入した。該ベース層23上に、n-InGaP層24A（キャリア濃度約 $1 \times 10^{17} \text{ m}^{-3}$ ）、n-GaAs層24B（キャリア濃度約 $1 \times 10^{17} \text{ m}^{-3}$ ）、n⁺-GaAs層24C（キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ ）からなるエミッタ層24を形成する。n型のドーパントはコレクタ層2の場合と同じSiを用いた。InGaPに関しては、Pの原料としてAsH₃の代わりにPH₃をガスとして供給した。

【0043】

図6は、実施例2において、コレクターエミッタ間電圧VCEとコレクタ電流ICとの間の関係をベース電圧VBをパラメータとして23°Cにおいて測定した結果である。図6に示される測定結果からVB=1.2Vまで暴走を起こさない

通常のトランジスタ動作をしていることがわかる。V_B = 1.3 Vになると熱暴走が始まりコレクタ電流の正帰還が掛かりだしているためにコレクタ電流が徐々に増加していくようになる。ここでの特徴的な動作はV_B = 1.4 V以上で見られる。V_B = 1.4 VではV_{C E} = 4 Vにて急激なコレクタ電流の増加、つまり熱暴走が見られる。しかし直ぐにコレクタ電流が抑制され、熱暴走が抑止されている。V_B = 1.5 V以上では熱暴走はV_{C E} = 1 V以下に於いて既に始まっており、V_{C E} = 2 ~ 3 Vにかけて緩やかに熱暴走に対して抑制が掛かっていることが確認された。

【0044】

【発明の効果】

本発明によれば、熱暴走の原因となる電子の動きを阻止できるようなバンド構造をバイポーラトランジスタのコレクタ層内に採用することにより、バラスト抵抗等の外付け素子を採用することなく、バイポーラトランジスタの動作中の電流による発熱による特性変化を抑制し、温度変化に対して安定な性能を持つバイポーラトランジスタを実現できるようにしたので、高周波利得を低減させたり、デバイス特性を悪くさせるという問題を生じさせることがなく、また、素子サイズの増加、素子プロセス工程の増加によるスループット減少などの問題も生じることがない。

【図面の簡単な説明】

【図1】

本発明の実施の形態の一例の層構造図。

【図2】

図1のエピタキシャル基板のコレクタ層に形成される電子障壁を説明するための図。

【図3】

本発明の他の実施の形態の層構造図。

【図4】

本発明の別の実施の形態の層構造図。

【図5】

本発明の実施例の特性を示すグラフ。

【図6】

本発明の他の実施例の特性を示すグラフ。

【図7】

付加層にInGaAsを用いた時の熱暴走抑制効果を説明するためのグラフ。

【符号の説明】

10、20、30 エピタキシャル基板

1、21 半絶縁性GaAs基板

2、22、31 コレクタ層

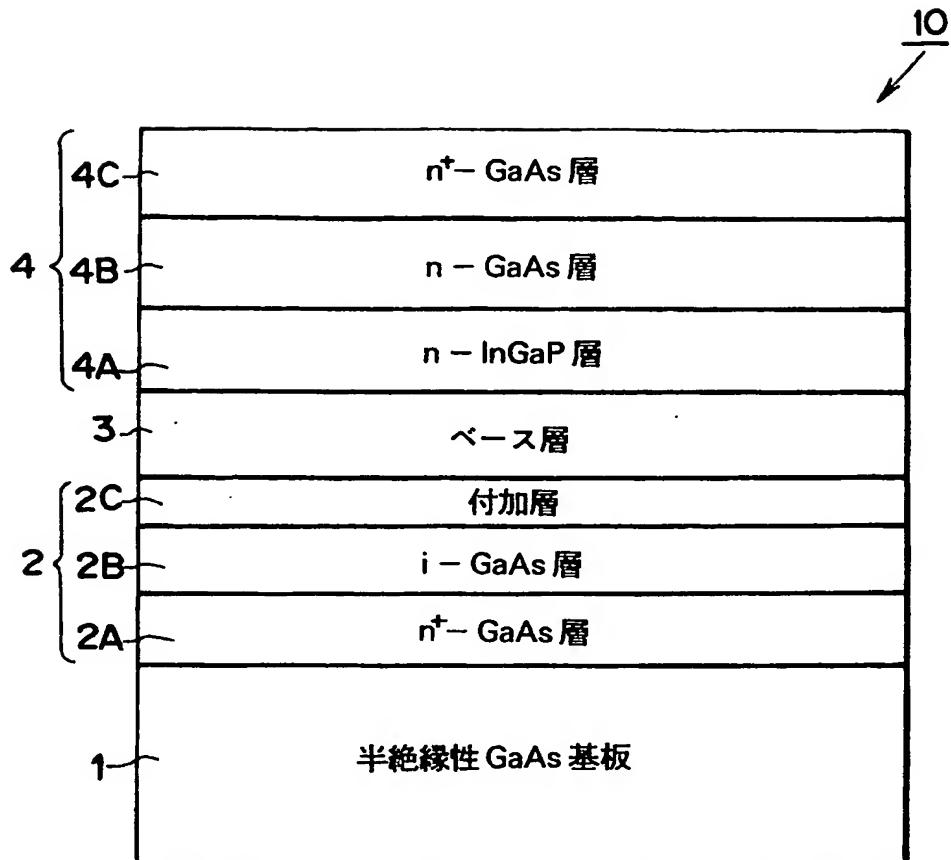
4、24 エミッタ層

2C 付加層

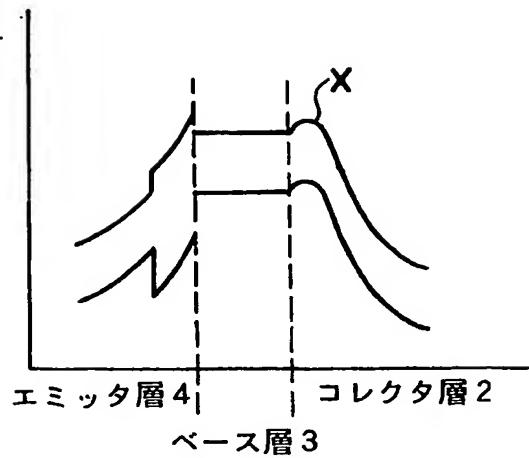
22B、31B ホール障壁層

31C ドープ層

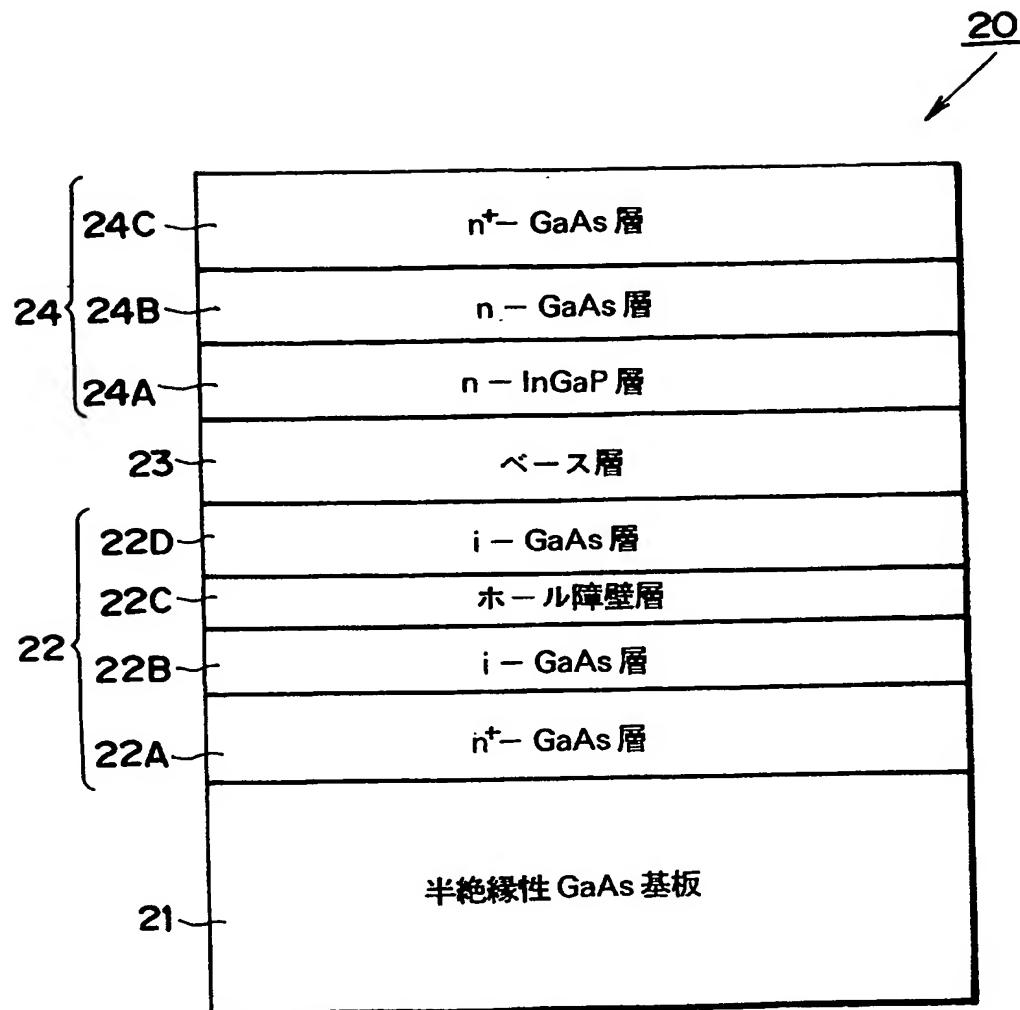
【書類名】 図面
【図 1】



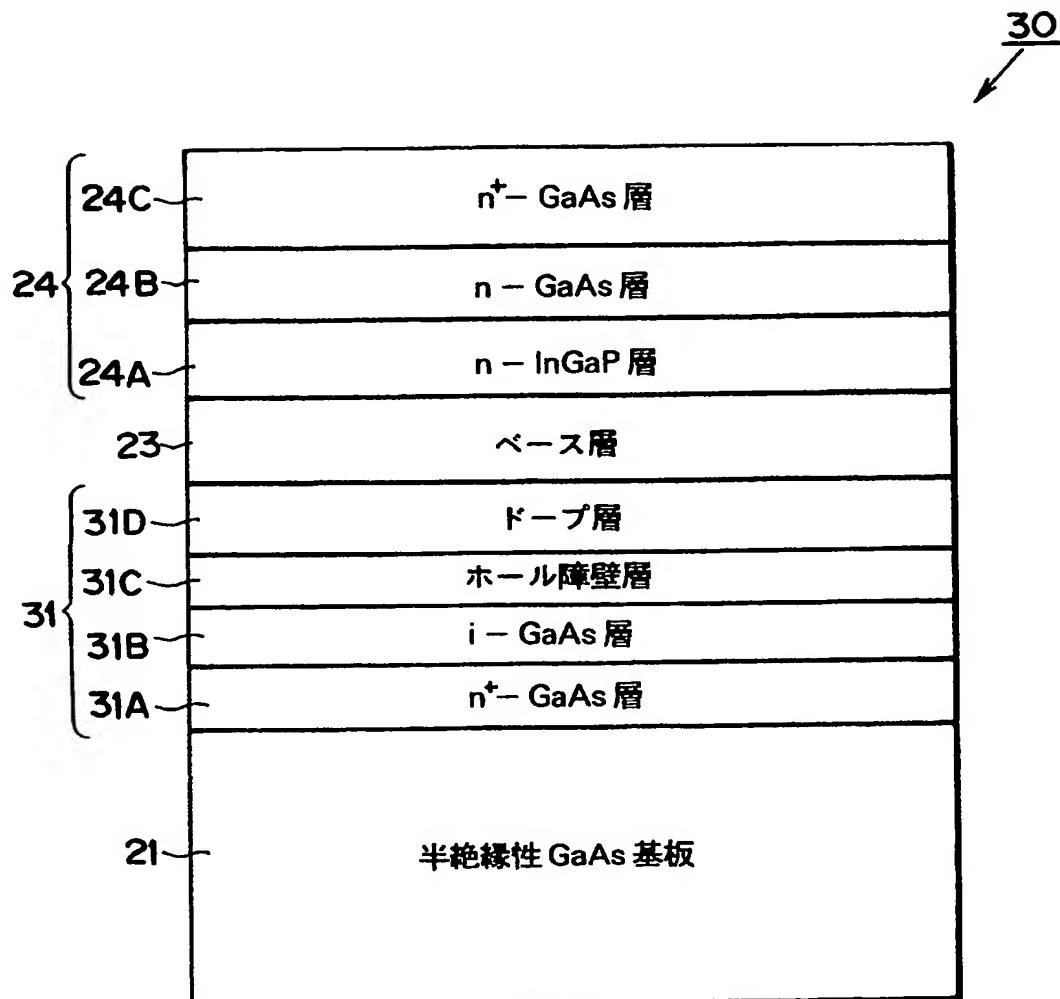
【図2】



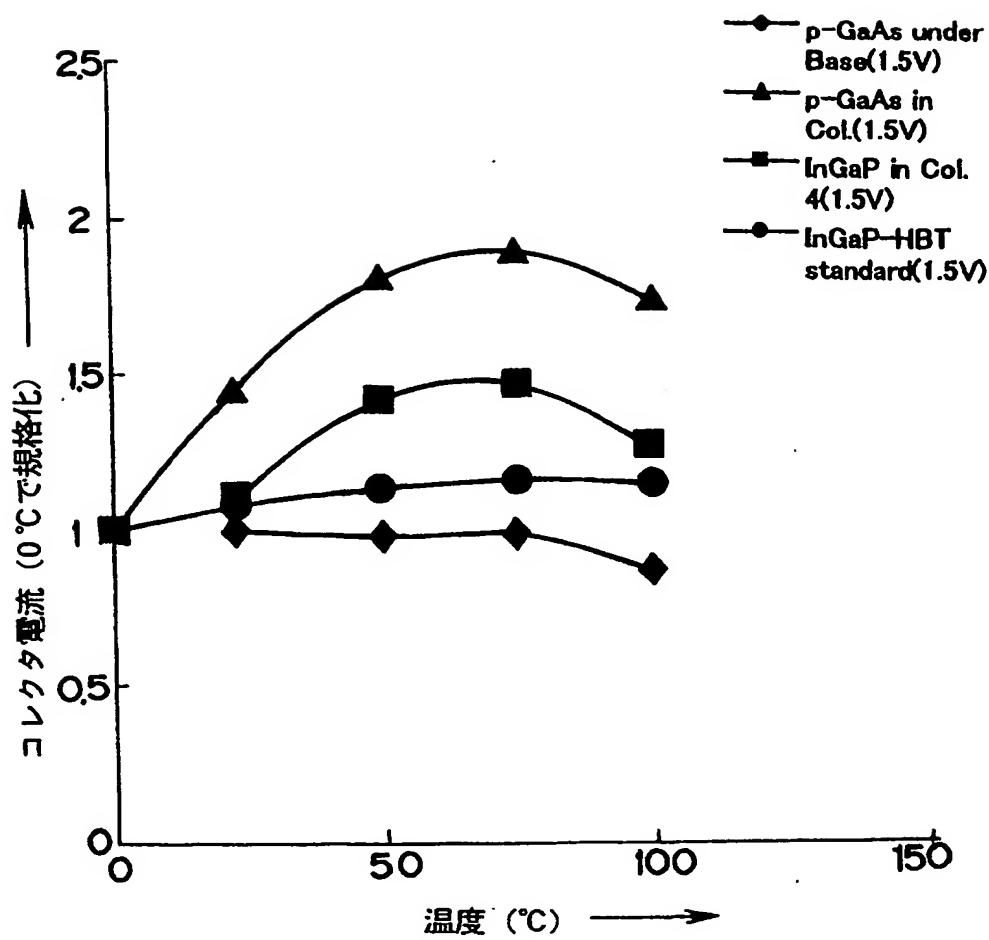
【図3】



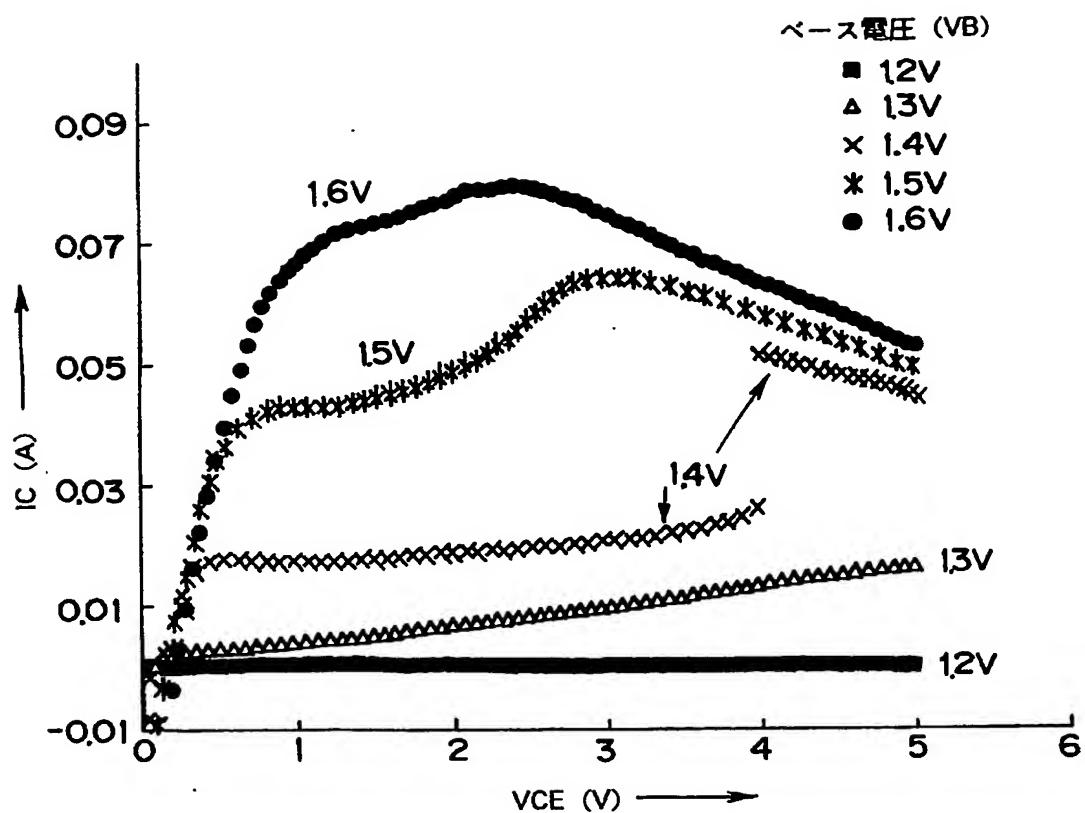
【図4】



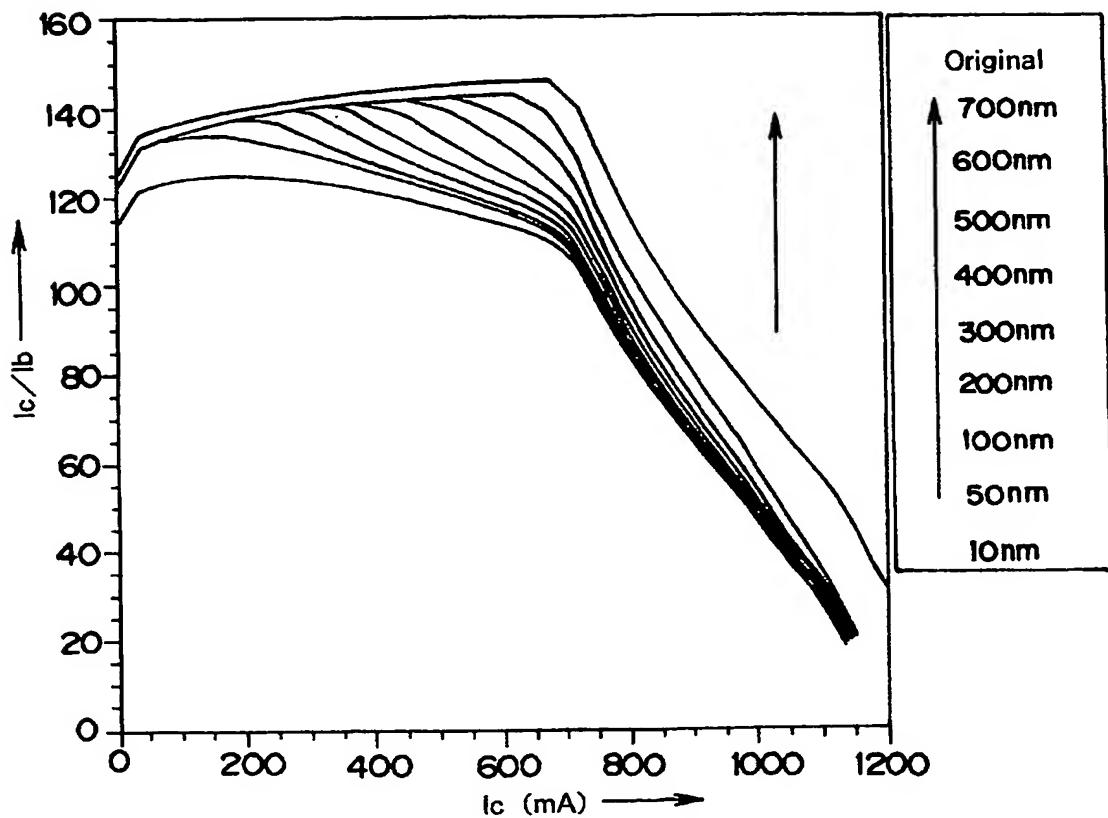
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 バラスト抵抗等なしで熱暴走を抑制することができるようとしたバイポーラトランジスタ構造を有する半導体材料を提供すること。

【解決手段】 半絶縁性G a A s基板21の上にコレクタ層22、ベース層23、エミッタ層24が形成されているエピタキシャル基板20において、コレクタ層22内に、ベース層23よりのホールの流れ込みを防止するためのホール障壁層22Cを設けた。これにより、コレクタ電流密度が高まって電子の速度が飽和したときに、コレクタ電流の流れを抑え、バラスト抵抗等なしで熱暴走を抑制することができる。

【選択図】 図3

認定・付加情報

特許出願の番号 特願2002-364547
受付番号 50201905746
書類名 特許願
担当官 第五担当上席 0094
作成日 平成14年12月18日

<認定情報・付加情報>

【提出日】 平成14年12月17日

次頁無

出証特2003-3094712

【書類名】 手続補正書
【整理番号】 155140
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-364547
【補正をする者】
【識別番号】 000002093
【氏名又は名称】 住友化学工業株式会社
【代理人】
【識別番号】 100077540
【弁理士】
【氏名又は名称】 高野 昌俊

【手続補正 1】

【補正対象書類名】 特許願

【補正対象項目名】 発明者

【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内

【氏名】 井上 聰

【発明者】

【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内

【氏名】 栗田 靖之

【発明者】

【住所又は居所】 茨城県つくば市北原 6 番 住友化学工業株式会社内

【氏名】 秦 雅彦

【その他】 出願人より受け取った依頼書には発明者として井上聰、
秦雅彦、栗田靖之の3氏の氏名が記載されており、した
がって、発明者を井上聰、秦雅彦、栗田靖之の3氏とす
べきであったところ、栗田靖之氏の氏名だけが次頁に記
載されていたため、願書作成時に栗田靖之氏の氏名を見
落としてしまい、出願時の願書の発明者の欄から栗田靖
之氏の氏名が脱落してしまったため。

【プルーフの要否】 要

認定・付加情報

特許出願の番号 特願2002-364547
受付番号 50300436508
書類名 手続補正書
担当官 鈴木 夏生 6890
作成日 平成15年 4月30日

<認定情報・付加情報>

【提出日】 平成15年 3月18日
【補正をする者】
 【識別番号】 000002093
 【住所又は居所】 大阪府大阪市中央区北浜4丁目5番33号
 【氏名又は名称】 住友化学工業株式会社
【代理人】
 【識別番号】 100077540
 【住所又は居所】 東京都港区芝3丁目15番14号 吉徳ビル6階
 高野内外特許事務所
 【氏名又は名称】 高野 昌俊

次頁無

特願2002-364547

出願人履歴情報

識別番号

[000002093]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月28日

新規登録

大阪府大阪市中央区北浜4丁目5番33号

住友化学工業株式会社